

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO
10/038680
01/08/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月19日

出 願 番 号

Application Number:

特願2001-012035

出 願 人

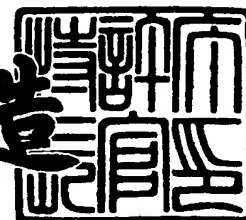
Applicant(s):

シャープ株式会社

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3100712

【書類名】 特許願

【整理番号】 00J04604

【提出日】 平成13年 1月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/94
H01L 21/00

【発明の名称】 半導体装置の製造方法及びその方法により製造される半導体装置

【請求項の数】 11

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区长池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 五月女 栄宏

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003084

特 2 0 0 1 - 0 1 2 0 3 5

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及びその方法により製造される半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に還元性を有する第 1 の金属膜を形成する工程と、

半導体基板上に自然に形成された自然酸化膜を、熱処理を行うことにより第 1 の金属膜で還元する工程と、

半導体基板上に半導体基板と第 1 の金属膜とを反応させたシリサイド膜を拡散律速により形成する工程と、

未反応の第 1 の金属膜を選択除去する工程と、

半導体基板上に第 2 の金属膜を形成する工程と、

半導体基板の表層部分に半導体基板と第 2 の金属膜とを反応させたシリサイド膜を熱処理を行うことにより形成する工程

とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 第 1 の金属膜がチタン膜である請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 第 2 の金属膜がコバルト膜である請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 500℃以下で熱処理を行うことにより、半導体基板とチタン膜とを反応させたシリサイド膜を形成する請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 500℃以下で熱処理を行うことにより、半導体基板とチタン膜とを反応させたシリサイド膜を 1～10nm の膜厚に形成する請求項 2 又は 4 に記載の半導体装置の製造方法。

【請求項 6】 コバルト膜を 1～10nm の膜厚に形成する請求項 3 に記載の半導体装置の製造方法。

【請求項 7】 第 2 の金属膜を形成する工程と、半導体基板と第 2 の金属膜とを反応させたシリサイド膜を形成する工程との間に、第 2 の金属膜上に第 2 の

金属膜の自然酸化を防止するための保護膜を形成する工程を含む請求項 1 ～ 6 のいずれかに記載の半導体装置の製造方法。

【請求項 8】 保護膜がチタン窒化膜である請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 第 1 の金属膜を形成する工程の前に、塩酸と過酸化水素水と水との混合液中で半導体基板を酸化する工程を含む請求項 1 ～ 8 のいずれかに記載の半導体装置の製造方法。

【請求項 1 0】 自然酸化膜を還元するときの熱処理が、第 1 の金属膜を形成したときの基板温度で行われる請求項 1 ～ 9 のいずれかに記載の半導体装置の製造方法。

【請求項 1 1】 請求項 1 ～ 1 0 のいずれかの方法により製造される半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体基板の表層部にシリサイド膜を有する半導体装置の製造方法及びその方法により製造される半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

近年の半導体装置において、素子微細化の進展により装置の性能や集積度が著しく向上している。なかでも 0. 3 5 μ m 以下の微小な設計ルールが適用される高速デバイスにおいては、M O S F E T (Metal Oxide Semiconductor-Field Effect Transister) のソース・ドレイン部の寄生抵抗を減少させる必要があり、拡散層をサリサイド (SALICIDE ; Self Aligned Silicide ; 自己整合的シリサイド) 化して低抵抗化を図る技術が行われている。このサリサイド技術とは、一般に、シリコン基板に形成した拡散層の表層部分を、ゲート電極やフィールド酸化膜 (素子分離膜) と自己整合的にシリサイド化 (例えばチタン等の金属とシリコンとの化合物化) させることにより、層間絶縁膜上に形成した配線層とのコンタクト抵抗を低減させようとする技術である。

【0003】

素子微細化によりゲートの縮小が進展してゲート長が短くなると、拡散層の接合面深さ（基板表面から拡散層と基板との接合面までの深さ）が相対的に深くなり、サリサイドと拡散層との接合面が拡散層と基板との接合面に近づくと、ショートチャンネル効果により横方向（ソース・ドレイン間）のリーク電流が大きくなり、素子特性が劣化する要因となる。したがって、ゲート長を短くする場合には、拡散層の接合面深さを浅くする（シャロウ・ジャンクション化）必要がある。このような事情から、拡散層をサリサイド化するにはシリサイド膜をできるだけ薄く形成する必要がある。すなわち、接合面深さに対してシリサイド膜を十分に薄くしないと、例えばシリサイド化反応時の金属原子の拡散により、シリサイド自体が縦方向の接合リークを引き起こす原因となる。しかしながら、従来の0.35 μm または0.25 μm の微小な設計ルールにおいて、チタン膜からなる薄いシリサイド層を形成した場合には、細線効果（線幅が細くなるにつれてシート抵抗が増大すること）が著しくなり、サリサイド技術を用いる効果がなくなってしまう。

【0004】

この問題に対して、0.18 μm 以下の微小な設計ルールでは、細線効果のないコバルト（Co）シリサイドを用いる技術が検討されている。しかしながら、コバルトをシリサイド化の材料として使用する場合には、コバルトはチタンと異なりシリコン表面の自然酸化膜に対して還元性を有さないため、自然酸化膜が存在する部分においてはシリサイド化されず、反応が斑になり、形成不良を生じる問題があった。

【0005】

この問題に対して、特開平10-98012号公報では、コバルト膜の下にチタン膜を形成する方法が提案されている。以下、この方法を図3を用いて説明する。

【0006】

まず、図3（a）に示すように、シリコン基板111上に、通常のLOCOS（Local Oxidation of Silicon）プロセスにより、素子分離用のフィールド絶縁

膜112を選択的に形成してMOSFET形成領域を画定した後、このMOSFET形成領域にゲート絶縁膜113を介して多結晶シリコン等からなるゲート電極114を選択的に形成する。次に、LDD (Lightly Doped Drain) 構造を形成するために、活性領域(シリコン基板111表層のソース・ドレイン領域となる領域)に不純物をイオン注入して低濃度不純物拡散層を形成した後、LDD構造の形成に必要なサイドウォール115をゲート電極114の側面に形成し、さらに、上記低濃度不純物拡散層に不純物を選択的にイオン注入して高濃度不純物拡散層としてのソース領域116およびドレイン領域117を形成する。このとき、既にソース領域116、ドレイン領域117およびゲート電極114の表面には自然酸化膜(SiO_2)118が形成されている。ここで、シリサイド膜を形成する前に基板を洗浄し、ソース領域116、ドレイン領域117およびゲート電極114の表面に形成された自然酸化膜118を除去する。なお、この洗浄によって自然酸化膜118は薄くはなるものの、実際は完全に除去されずに残存し、あるいは洗浄後に再び自然酸化膜が形成されることもある。このため、図3(b)に示すように、自然酸化膜を還元するため、薄いチタン膜120をシリコン基板全面に形成し、続いてシリサイド形成用としてのコバルト膜121を形成する。次に、図3(c)に示すように、いわゆるRTA (Rapid Thermal Annealing) 処理を行うことにより、ゲート電極114、ソース領域116およびドレイン領域117におけるシリコンとコバルト膜121とを反応させ、シリサイド膜122を形成する。次に、図3(d)に示すように、フィールド絶縁膜112およびサイドウォール115上の未反応のチタン膜120及びコバルト膜121を選択的エッチングによって除去した後、さらに、シリサイド膜122の低抵抗化のため、第2回目のRTA処理を行う。これにより、ゲート電極114、ソース領域116およびドレイン領域117上にのみ自己整合的にシリサイド膜122が形成されたシリサイド構造を有するMOSFETが形成される。

【0007】

【発明が解決しようとする課題】

しかしながら、上記の方法において、細線効果のない薄くて均一なシリサイド膜を得るには、シリサイド膜中の主成分がコバルトになるよう下地のチタン膜を

薄く制御する必要がある、さらなる微細化や薄膜化には適さない。

【0008】

すなわち、コバルトシリサイドは、通常、コバルト膜の約3.5倍の膜厚で形成され、チタンシリサイドは、通常、チタン膜の約2.4倍の膜厚で形成される。そして細線効果を抑えるためにはチタンシリサイド膜の膜厚をコバルトシリサイド膜の膜厚の2割程度に制御する必要がある。従って、例えばコバルト膜の膜厚が5nmであれば、コバルトシリサイドの膜厚は約17.5nmになり、この場合、チタンシリサイドの膜厚をコバルトシリサイドの膜厚の2割程度（約3.5nm）にするためには、チタン膜の膜厚を約1.4nm程度の薄さにしなければならない。このような薄さに制御良く形成するのは非常に困難であるという問題がある。また、チタン膜は酸素と反応しやすいために、チタン膜を薄くすればするほど雰囲気の影響が大きくなり、基板表面側からの酸化の影響により、自然酸化膜に対する還元性が期待できなくなるという問題がある。

【0009】

【課題を解決するための手段】

上記の問題に鑑み、本発明者は鋭意研究した結果、半導体基板上に還元性を有する第1の金属膜を形成して自然酸化膜を還元した後、拡散律速により第1の金属膜からなるシリサイド膜を形成し、未反応の第1の金属膜を除去した後、第2の金属膜からなるシリサイド膜を形成することにより、上記の課題を解決することを見出し、本発明を完成するに至った。

【0010】

かくして本発明によれば、半導体基板上に還元性を有する第1の金属膜を形成する工程と、半導体基板上に自然に形成された自然酸化膜を、熱処理を行うことにより第1の金属膜で還元する工程と、半導体基板上に半導体基板と第1の金属膜とを反応させたシリサイド膜を拡散律速により形成する工程と、未反応の第1の金属膜を選択除去する工程と、半導体基板上に第2の金属膜を形成する工程と、半導体基板の表層部分に半導体基板と第2の金属膜とを反応させたシリサイド膜を熱処理を行うことにより形成する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0011】

また、本発明によれば、上記の方法により製造される半導体装置が提供される。

【0012】

【発明の実施の形態】

以下、本発明を図面に基づいて詳細に説明する。

【0013】

図1は本発明の一実施の形態を示す工程断面図である。

【0014】

まず、図1(a)に示すように、通常のLOCOSプロセスにより、半導体基板としてのp型シリコン基板11上に素子分離用のフィールド絶縁膜12を選択的に形成してMOSFET形成領域を画定する。

【0015】

半導体基板を構成する材料としては、製造する半導体装置に合わせて公知のものから適宜選択され、例えばシリコン、Ge、Sn、Se等の元素半導体や、GaAs、GaP、AlGaAs等の化合物半導体、SnO₂、ZnO等の酸化物半導体が挙げられる。中でも本発明の効果が顕著であるという点で、シリコンが好ましい。

【0016】

次に、熱酸化法等により、MOSFET形成領域のシリコン基板11の表面を酸化し、ゲート絶縁膜13を3nm程度に形成する。次に、減圧CVD法等を用いて、多結晶シリコン（ポリシリコン）膜からなるゲート電極層を200nm程度に形成する。なお、ゲート電極層は、多結晶シリコン上にWSiX（タングステンシリサイド）層を積層したポリサイド構造としてもよい。次に、ゲート電極層上にフォトレジスト膜（図示せず）を形成してフォトリソグラフィ工程によりパターニングする。パターニングされたフォトレジスト膜をエッチングマスクとして、ゲート電極層を選択的にエッチング加工し、ゲート電極14を形成する。次に、LDD構造を形成するために、活性領域（シリコン基板11表層のソース・ドレイン領域となる領域）に、n-不純物をイオン注入して低濃度のn-不純

物拡散層を形成した後、絶縁膜の形成およびその異方性エッチングにより、LD構造を形成するのに必要なサイドウォール15をゲート電極14の側面に形成する。さらに、n-不純物拡散層にn+不純物を選択的にイオン注入して高濃度のn+不純物拡散層としてのソース領域16およびドレイン領域17を形成する。このとき、ソース領域16、ドレイン領域17およびゲート電極14の表面には、既に自然酸化膜(SiO_2)18が形成されている。次に、例えば、1%濃度の希フッ酸により基板を洗浄して自然酸化膜18を除去する。但し、この洗浄によれば自然酸化膜は薄くなるものの、実際には完全に除去できず、あるいは洗浄後に再び自然酸化膜が形成されてしまう。

【0017】

なお、自然酸化膜を除去した後、基板全体を例えば水酸化アンモニウムと過酸化水素水と水との混合液又は塩酸と過酸化水素水と水との混合液に浸液することにより、基板上に酸化膜を均一に形成すると、不均一な自然酸化膜の形成を抑えることが可能となり、シリサイド膜をより均一に形成することができるので好ましい。上記の混合液の中でも、シリサイド膜をさらに均一に形成できるという点で、塩酸と過酸化水素水と水との混合液を用いるのが好ましい。

【0018】

水酸化アンモニウムと過酸化水素水と水との使用割合は1:1:5であるのが好ましいが、水は4~50の範囲内で調節できる。

【0019】

塩酸と過酸化水素水と水との使用割合は1:1:5であるのが好ましいが、水は4~50の範囲内で調節できる。

【0020】

次に、図1(b)に示すように、シリコン基板11全面に還元性を有する第1の金属膜としてのチタン(Ti)膜20を20nm程度の膜厚に形成する。

【0021】

第1の金属膜は、例えばスパッタリング等の公知の方法により形成される。この実施の形態では、基板温度約350℃でスパッタリングが行われるが、この温度に限定されず、通常、300~450℃程度で行うことができる。

【0022】

第1の金属膜としては、自然酸化膜に対して還元性を有するものであれば特に限定されないが、本発明の効果が良好に得られるという点において、チタン膜を用いるのが好ましい。また、第1の金属膜の膜厚は、自然酸化膜を十分に還元できるような膜厚であり、得られるシリサイド膜が細線効果を及ぼすような膜厚でなければ特に限定されないが、通常、10～40 nm程度が好ましい。

【0023】

次に、熱処理を行うことで、チタン膜20により自然酸化膜18を還元し、さらに拡散律速によりシリコン基板11とチタン膜20とを反応させてチタンシリサイド膜25を膜厚3 nm程度に形成する。

【0024】

なお、熱処理の温度は、通常、チタン膜を形成したときの基板温度、あるいはチタンシリサイド膜を形成する際に行われる温度であり、特に限定されないが、例えば500℃以下が好ましく、200～400℃程度がさらに好ましい。また、チタンシリサイド膜25の膜厚は、1～10 nmが好ましく、2～5 nmがさらに好ましい。

【0025】

次に、未反応の第1の電極層であるチタン膜を選択的に除去する。

【0026】

未反応の第1の電極層の除去は、例えばウェットエッチング等の公知の方法により行うことができる。この実施の形態では、硫酸と過酸化水素水の4対1の混合液を用いてウェットエッチングが行われるが、このような条件には限定されず、公知の薬液が、適当な割合で使用することができる。

【0027】

次に、図1(c)に示すように、第2の金属膜としてのコバルト膜21をシリコン基板11全面に5 nm程度の膜厚に形成する。

【0028】

第2の金属膜は、第1の金属膜と同様に、例えばスパッタリング等の公知の方法により形成される。

【0029】

第2の金属膜としては、例えばコバルト膜、ニッケル膜等が挙げられるが、細線効果がないという点において、コバルト膜を用いるのが好ましい。コバルト膜の膜厚は1～10nmが好ましく、3～8nmがさらに好ましい。

【0030】

次に、図1(d)に示すように、熱処理を行うことにより、ゲート電極14、ソース領域16およびドレイン領域17におけるシリコンとコバルト膜21とを反応させてシリコン基板の表層にコバルトシリサイド膜22を17.5nm程度の膜厚に形成する。

【0031】

熱処理を行う方法は、用いられる第2の金属膜の種類に合わせて公知の方法を用いることができ、例えば、RTA処理により行うことができる。具体的には、この実施の形態においては、窒素雰囲気中、大気圧、550℃、60秒の条件でRTA処理が行われるが、特にこの条件に限定されるものではない。

【0032】

コバルトシリサイド膜の膜厚は3.5～35nm程度が好ましい。なお、シリコン酸化膜とコバルト膜とは反応しにくいいため、フィールド絶縁膜12及びサイドウォール15上にはコバルトシリサイド膜は形成されず、未反応のコバルト膜21が残存する。次に、図示しないが、フィールド絶縁膜12及びサイドウォール15上の未反応のコバルト膜21を、例えば、硫酸と過酸化水素水の4対1の混合液で選択的にウエットエッチングして除去する。次に、コバルトシリサイド膜22の低抵抗化のため、第2回目のRTA処理を、例えば窒素雰囲気中、大気圧、700℃、30秒の条件で行うことができる。このようにして、ゲート電極14、ソース領域16およびドレイン領域17にのみ自己整合的にコバルトシリサイド膜22が形成され、シリサイド構造を構成する。なお、その後、図示しないが、層間絶縁膜、配線層および基板配線間コンタクト等を形成した後、保護膜を形成して、nチャネル型のMOSFETを製造する。

【0033】

次に、本発明の他の実施の形態を図面に基づいて説明する。

【 0 0 3 4 】

図 2 は本発明の他の実施の形態を示す工程断面図である。

【 0 0 3 5 】

なお、他の実施の形態における、チタン膜 2 0 を形成するまでの工程 [図 2 (a) 、 (b) 、 (c)] は、上記実施の形態 [図 1 (a) 、 (b) 、 (c)] と同様に行われるので、説明を省略する。

【 0 0 3 6 】

他の実施の形態では、図 2 (c) に示すように、第 2 の金属膜としてのコバルト膜 2 1 をシリコン基板 1 1 全面に 5 n m 程度の膜厚に形成した後、さらに、その上に保護膜としてのチタン窒化膜 (T i N 膜) 2 4 を 3 0 n m 程度の膜厚に形成する。

【 0 0 3 7 】

保護膜を形成することにより、その後の R T A 処理工程において、R T A 装置に運ぶまでの間、第 2 の金属膜が一旦、大気に晒されて酸化されるのを防止することができ、また、シリサイド膜中に酸素が取り込まれるのを効果的に阻止できる。このため、シリサイド膜の低抵抗化を図る上で一層の効果がある。

【 0 0 3 8 】

保護膜としては、以降の選択的エッチング時に未反応の第 2 の金属膜と同様にエッチングされるものが好ましく、例えばチタン窒化膜等が挙げられる。また、保護膜の膜厚は 2 0 ~ 4 0 n m 程度が好ましい。

【 0 0 3 9 】

次に、熱処理を行うことによりシリコン基板 1 1 とコバルト膜 2 1 とを反応させて、コバルトシリサイド膜 2 2 を形成した後、未反応のコバルト膜およびチタン窒化膜を、例えば硫酸と過酸化水素水の 4 対 1 の混合液でウェットエッチングして除去する。

【 0 0 4 0 】

その他の工程および作用は、上記の実施の形態と同様である。

【 0 0 4 1 】

以上、2 つの実施の形態を挙げて本発明の製造方法を説明したが、本発明はこ

これらの実施の形態に限定されるものではなく、その均等の範囲で種々変形可能である。従って、上記の各実施の形態ではソース・ドレインをシリサイド化して構成したnチャネル型のMOSFETの製造方法について説明したが、本発明の方法は、例えばpチャネル型のMOSFETやCMOS（相補型MOS）FETの製造方法としても適用でき、さらにMIS（Metal Insulator Semiconductor）型構造のデバイスの製造方法としても適用可能である。

【 0 0 4 2 】

【発明の効果】

以上のとおり、本発明の半導体装置の製造方法によれば、あらかじめ還元性を示す第1の金属膜を形成し、熱処理を行うことによって、下地の自然酸化膜を還元するので、自然酸化膜の存在によってシリサイド膜が形成されない、あるいはシリサイド膜の膜厚が不均一化するという不都合を回避できる。

【 0 0 4 3 】

また、拡散律速により、半導体基板と第1の金属膜とからなるシリサイド膜を薄く形成できることから、半導体基板と第2の金属膜とからなるシリサイド膜の特性に対する影響を低く抑えることができる。

【 0 0 4 4 】

また、未反応の第1の金属膜を除去した上で第2の金属膜を形成してシリサイド化を行うようにしたので、第1の金属膜に起因する細線効果を回避することもできる。

【 0 0 4 5 】

特に、第1の金属膜としてチタン膜を用い、第2の金属膜として細線効果のないコバルト膜を用いた場合であって、500℃以下の温度またはチタン膜を形成するときの基板温度で熱処理を行うことにより、チタン膜で形成されるシリサイド膜の膜厚を10nm以下とし、かつコバルト膜の膜厚を10nm以下とし、チタン膜を用いて自然酸化膜を還元することにより、自然酸化膜によるコバルトシリサイドを形成するときの悪影響をなくすることができる。すなわち、ウェハ内におけるシリサイド膜の膜厚を薄く、かつ十分に均一化できる上、最終的に得られるシリサイド膜において、コバルトシリサイド成分に対してチタンシリサイド

成分を少なく抑えることが可能となる。これにより、細線部を含めたシート抵抗のばらつきを小さくすることが可能となり、チタン膜の膜厚をコバルト膜の膜厚以下に薄く制御する必要もなくなる。

【 0 0 4 6 】

したがって、本発明の方法によれば、今後、ソース・ドレインをシリサイド化したMOSFETのシャロウ・ジャンクション化の発達に対応して、コバルトシリサイドを主成分とするシリサイド膜を、簡便な方法で薄く均一に形成することができるため、細線効果及びジャンクションリークがなく、拡散領域、ゲート領域、コンタクト部の寄生抵抗の低減を図ることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態に係る半導体装置の製造方法を示す工程断面図である。

【図 2】

本発明の他の実施の形態に係る半導体装置の製造方法を示す工程断面図である。

【図 3】

従来の半導体装置の製造方法を示す工程断面図である。

【符号の説明】

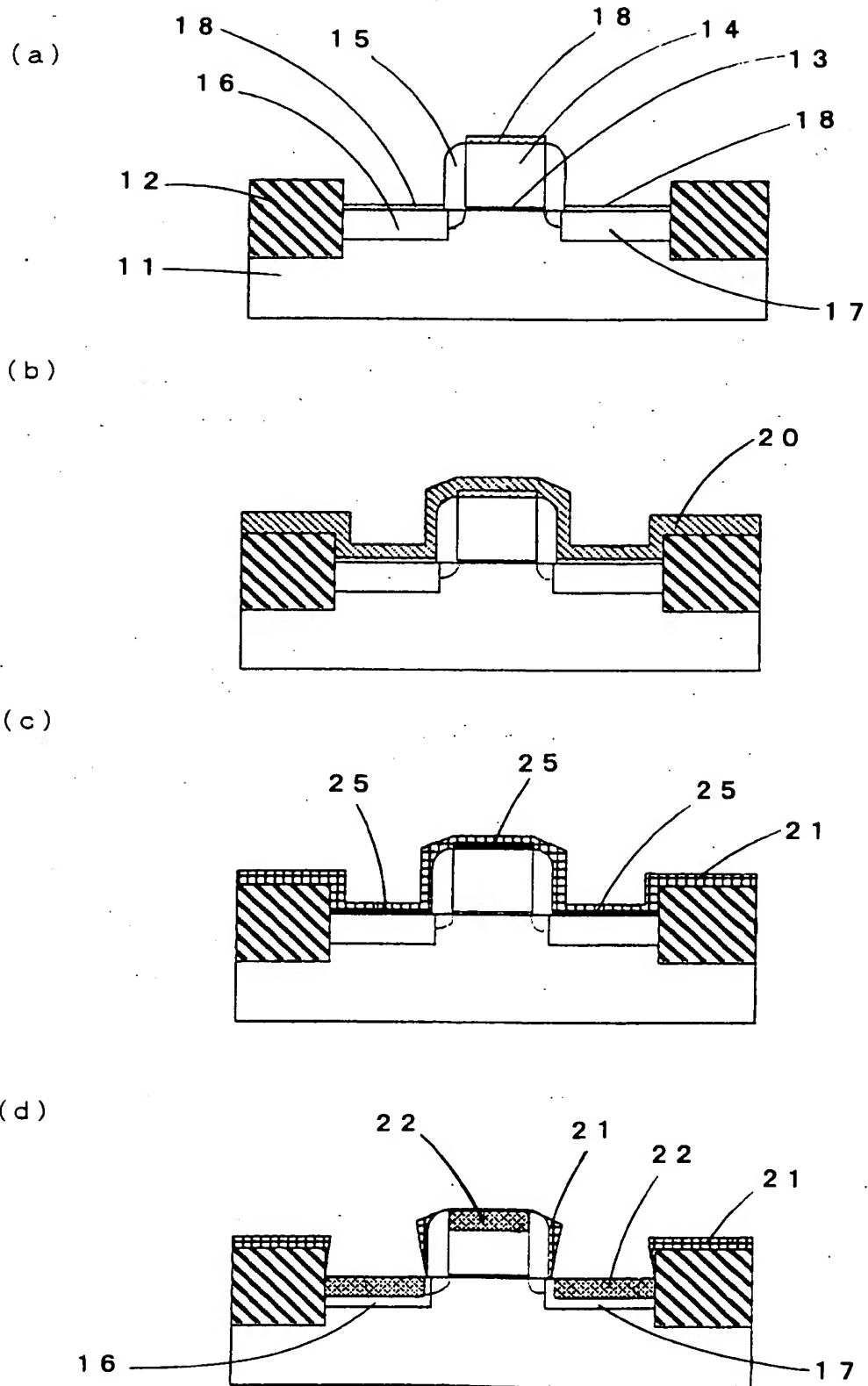
- 1 1、1 1 1 シリコン基板
- 1 2、1 1 2 フィールド絶縁膜
- 1 3、1 1 3 ゲート絶縁膜
- 1 4、1 1 4 ゲート電極
- 1 5、1 1 5 サイドウォール
- 1 6、1 1 6 ソース領域
- 1 7、1 1 7 ドレイン領域
- 1 8、1 1 8 自然酸化膜
- 2 0、1 2 0 チタン膜（第 1 の金属膜）
- 2 1、1 2 1 コバルト膜（第 2 の金属膜）
- 2 2、1 2 2 コバルトシリサイド膜

2 4 チタン窒化膜（保護膜）

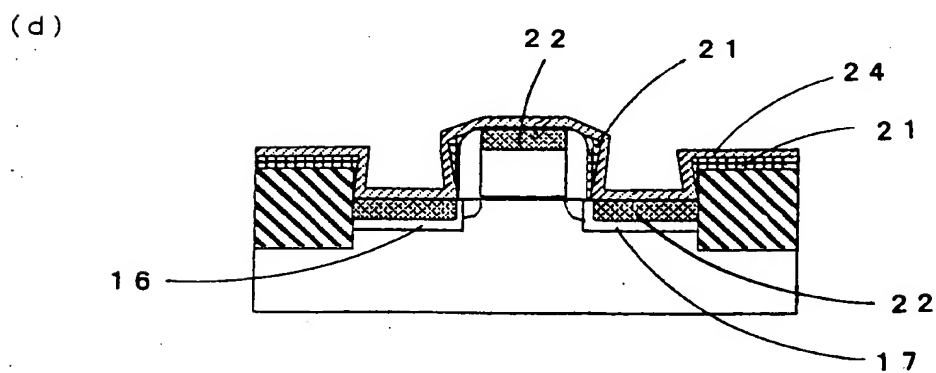
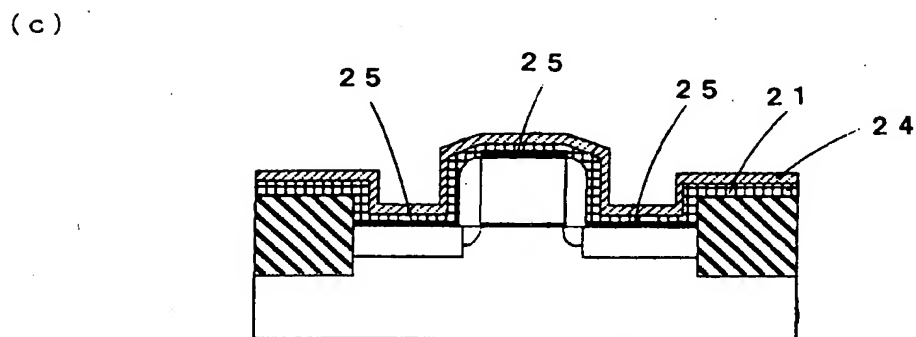
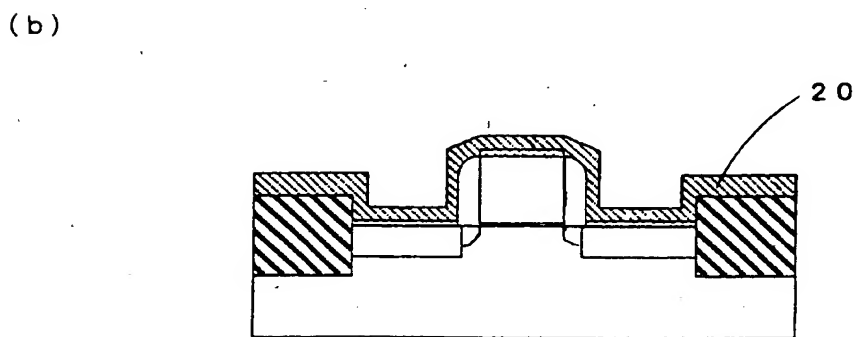
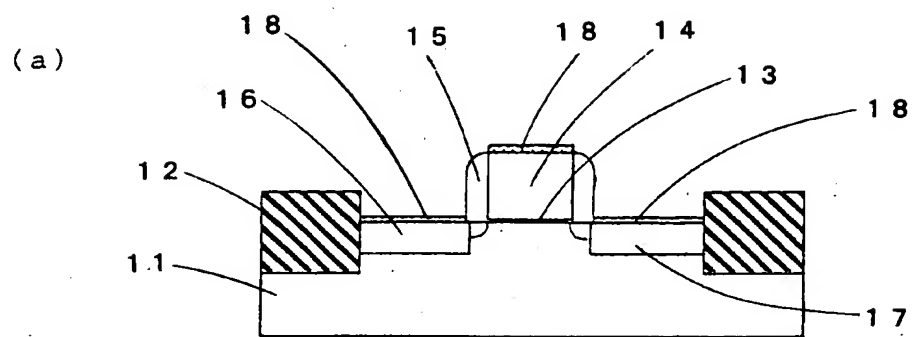
2 5 チタンシリサイド

【書類名】 図面

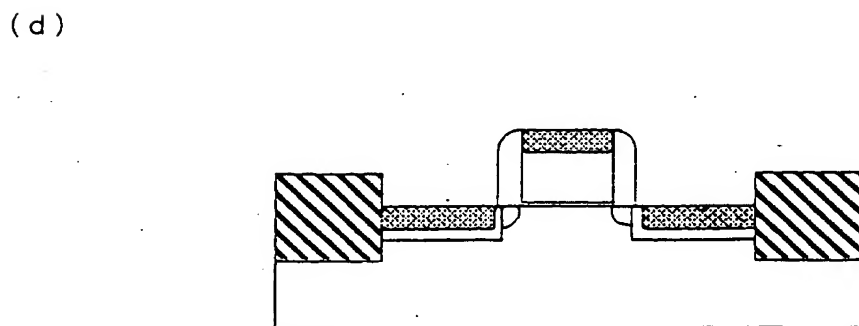
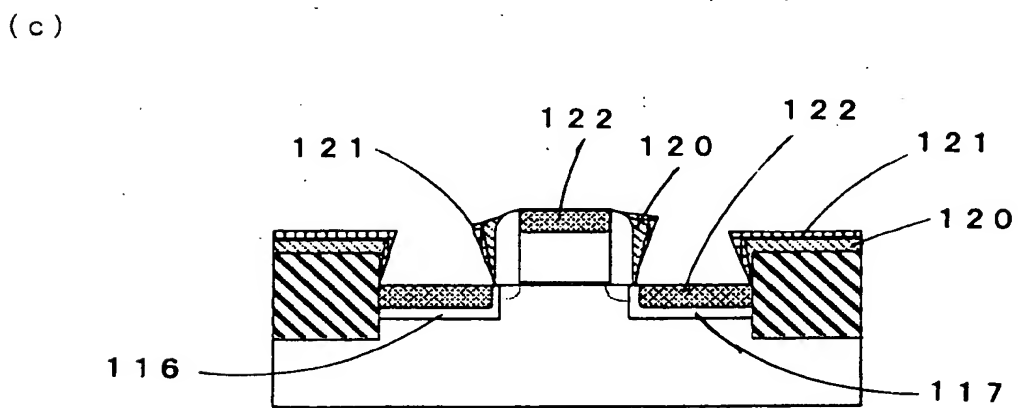
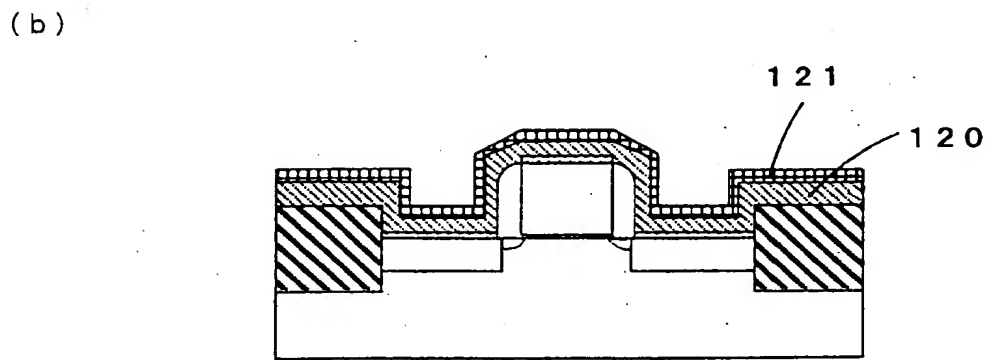
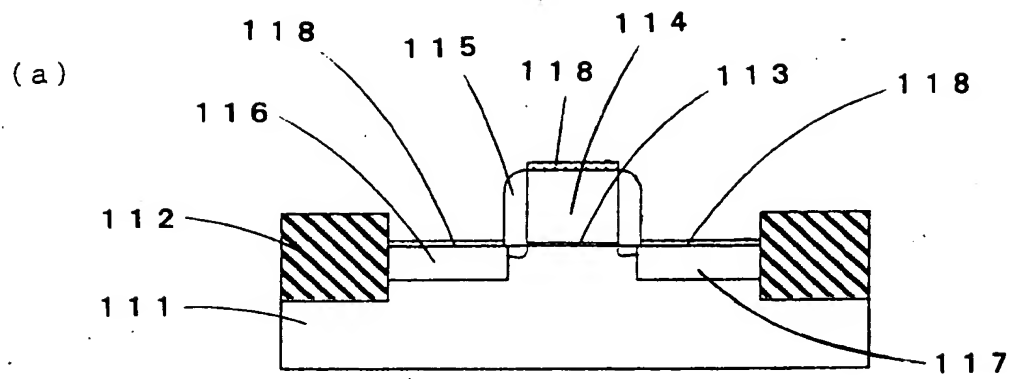
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 半導体装置の微細化や薄膜化に適した半導体装置の製造方法を提供することを課題とする。

【解決手段】 半導体基板上に還元性を有する第1の金属膜を形成する工程と、半導体基板上に自然に形成された自然酸化膜を、熱処理を行うことにより第1の金属膜で還元する工程と、半導体基板上に半導体基板と第1の金属膜とを反応させたシリサイド膜を拡散律速により形成する工程と、未反応の第1の金属膜を選択除去する工程と、半導体基板上に第2の金属膜を形成する工程と、半導体基板の表層部分に半導体基板と第2の金属膜とを反応させたシリサイド膜を熱処理を行うことにより形成する工程とを含むことを特徴とする半導体装置の製造方法を提供することにより、上記の課題を解決する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区长池町22番22号
氏 名 シャープ株式会社